

D6

SEMICONDUCTOR NONVOLATILE MEMORY ELEMENT

Patent Number: JP62035572
Publication date: 1987-02-16
Inventor(s): SEKII HIROSHI
Applicant(s): OMRON TATEISI ELECTRONICS CO
Requested Patent: JP62035572
Application Number: JP19850173164 19850808
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PURPOSE: To reduce an applied voltage for writing and to alleviate the condition of the thickness of an insulating layer by interposing a semiconductor charge storage layer between insulating films which vary an energy gap as thickness.

CONSTITUTION: This memory element has a structure that an insulating layer 1 which is varied at X of a-Si₁-XHX film in a range of $0 \leq X < 0.7$ is grown approx. 100nm by a plasma CVD method or a light CVD method on an n-type Si substrate 6; a Ge film 7; an a-Si₁-XHX film 1; and an electrode 2 are sequentially laminated thereon. Since the potential barrier of the film 1 continuously varies as the value of the X, a charge implanting speed can be controlled, and this means that, even if the controllability of the insulating film thickness is deteriorated, if the composition of the film is gradually varied, the charge implantation can be performed by the slight variation of an applied voltage. A writing can be performed at a lower voltage than that of the conventional one.

Data supplied from the esp@cenet database - I2

⑤ Int. Cl.⁴

識別記号

庁内整理番号

④ 公開 昭和62年(1987)2月16日

H 01 L 29/78

7514-5F

審査請求 未請求 発明の数 1 (全4頁)

⑬ 発明の名称 半導体不揮発性メモリ素子

⑭ 特 願 昭60-173164

⑮ 出 願 昭60(1985)8月8日

⑯ 発 明 者 関 井 宏 京都市右京区花園土堂町10番地 立石電機株式会社内
⑰ 出 願 人 立石電機株式会社 京都市右京区花園土堂町10番地
⑱ 代 理 人 弁理士 牛久 健司 外1名

明 細 書

1. 発明の名称

半導体不揮発性メモリ素子

2. 特許請求の範囲

(1) 半導体電荷蓄積層を、エネルギー・ギャップが厚さとともに変化する絶縁膜で挟むことによってポテンシャル井戸を形成し、この井戸部分に電荷の注入または放出することによって情報の蓄込み、読出しが行なわれる、半導体不揮発性メモリ素子。

(2) 絶縁膜の厚さが電子のド・ブロイ波長の数倍程度である、特許請求の範囲第(1)項に記載の半導体不揮発性メモリ素子。

3. 発明の詳細な説明

発明の要約

半導体電荷蓄積層を、エネルギー・ギャップが厚さとともに変化する絶縁膜で挟むことによってポテンシャル井戸を形成し、この井戸部分に電荷の注入または放出することによって情報の蓄込み、

読出しが行なわれる半導体不揮発性メモリ素子。

〔技術分野〕

この発明は、半導体不揮発性メモリ素子に関する。

〔従来技術〕

半導体不揮発性メモリ素子としては、従来からFAMOSメモリ素子およびMNOSメモリ素子がよく知られている。

第4図はFAMOSメモリ素子の一例を示している。FAMOSメモリ素子は、絶縁膜(SiO_2)31中にどこにも電気的に接続されていない浮遊ゲート32を有している。このゲート32の下に SiO_2 の厚さは約100nmである。この図において、36はn形Si基板、35は電極下に形成されたp形拡散領域、33、34はそれぞれドレイン、ソース電極である。

蓄込みのための浮遊ゲート32への電荷注入はドレイン電圧を大きくしてなだれ降伏を起こすことによって達成される。したがって電荷注入のためには数10ボルトの電圧を必要とする。

第5図はMNOSメモリ素子の一例を示している。このMNOSメモリ素子は、半導体基板46上に約2nmという非常に薄いSiO₂膜(絶縁層)41と約50nmのSi₃N₄膜47を積層し、その上にゲート電極42を積んだ構造となっている。43、44は電極、45はp形拡散領域である。

電荷注入はゲート電極42に大きな負電圧のバースを印加することにより、正孔がSiO₂41とSi₃N₄47の界面近くのトラップにトンネルすることによって達成される。トンネル効果はSiO₂41の膜厚に依存しているため、SiO₂41の膜厚の制御が非常に重要であり、歩留りが悪いという問題がある。

[発明の目的]

この発明は、書き込みのための印加電圧を低くすることができるとともに、絶縁層(膜)の厚さの条件を緩和できる半導体不揮発性メモリ素子を提供することを目的とする。

[発明の構成と効果]

この発明による半導体不揮発性メモリ素子は、

ちに蒸着法等で形成される。電極4もまた蒸着される。

絶縁層(膜)はa-Si_{1-x}H_x1であり、電荷を蓄積するのはGe7である。a-Si_{1-x}H_x膜1は、上述のようにxの値が連続的に変化しているため、第3図(a)に示されるように、ポテンシャル障壁の高さがその巾方向に連続的に変化し、Ge層7側で最も高くなっている。

a-Si_{1-x}H_x膜1は熱励起によってSi基板6で発生する電子-正孔対が書き込み電荷として誤って電荷蓄積層7に注入されないようにするためのポテンシャル障壁であり、さらに蓄積されたキャリアが簡単に流出しないようにも作用する。したがって情報の不揮発性を有することになる。また、a-Si_{1-x}H_x1のポテンシャル障壁の高さはxの値とともに連続的に変化するので、Si基板6と電極2間の印加電圧を適当に変えればキャリアに対する障壁幅が変わるため電荷蓄積層へのキャリアの注入速度を変えることができる。これはトンネル効果を利用していることによる。

半導体電荷蓄積層を、エネルギー・ギャップが厚さとともに変化する絶縁膜で挟むことによってポテンシャル井戸を形成し、この井戸部分に電荷の注入または放出することによって情報の書き込み、読み出しが行なわれることを特徴とする。

電荷蓄積層を挟む絶縁膜のエネルギー・ギャップが変化しているためポテンシャル障壁の高さが巾方向に変化している。したがって、エネルギー・ギャップが一定の絶縁膜に比べてその膜厚を厳密に制御する必要がなく歩留りが向上するとともに、低電圧で書き込みが可能である。

[実施例の説明]

第1図は3端子をもつメモリ素子の一例を示している。このメモリ素子は、n形Si基板6上に、a-Si_{1-x}H_xのxを0 ≤ x < 0.7の範囲において変化させたもの(絶縁層1)をプラズマCVD法または光CVD法によって約100nm成長させ、その上にGe7、同構造のa-Si_{1-x}H_x1、電極2が順次積み重ねられた構造をもつ。電極3はSi基板6にp形拡散(領域5)を行なったの

トンネル効果による透過率Tは、ポテンシャル障壁が第3図(b)に示されるように角形の場合、次式で表わされる

$$T = \left[1 + \frac{U_0^2 \sinh^2 KL}{4E(U_0 - E)} \right]^{-1}$$

ここでEは入射する電子のエネルギー、U₀はエネルギー障壁の高さ、Kはエネルギー障壁中での電子の波数、Lはエネルギー障壁の幅である。ここでU₀ > Eとする。

透過率Tを大きくするには上式の右辺第2項を小さくすればよい。E、Lが一定ならばU₀が小さいほどKが小さくなるため透過率Tは大きくなる。またE、U₀が一定ならばLが小さいほど透過率Tは大きくなる。したがってトンネル効果による透過率はエネルギー障壁が低く、その幅が狭いほど大きくなる。

前述したようにポテンシャル障壁の高さの変化で電荷注入速度を制御できるが、このことは絶縁膜厚の制御性が多数悪くても絶縁膜の組成を除く

に変えておけば印加電圧の多少の変化で電荷注入が可能であることを意味する。すなわち、第3図(a)の形のポテンシャル障壁において、底部の障壁巾が多少厚くなっても、キャリアは上部の障壁巾の薄い部分を通過できるので、第3図(b)に示すような形の従来のポテンシャル障壁の巾のように厳密に、その巾を制御する必要がなくなる。これにより、メモリ素子製造上の歩留りが向上する。

また、このような構造を有するメモリ素子のポテンシャル障壁はせいぜい数eVであり、またその障壁の高さも徐々に変化しているので従来に比べて低電圧で書き込みが可能である。すなわち、障壁の巾が上部で薄くなっており、キャリアはトンネル効果により容易に通過可能となり、低電圧駆動が可能である。この発明によるメモリ素子はこのような2つの長所をもっている。

第1図に示すメモリ素子への書き込みは、電極2と4との間に電圧を印加することにより達成される。注入された電子はGe層7の部分に蓄積され

ることができることを意味する。つまり、情報の読出しは電流と電圧の変化の検出により可能となる。

情報の消去法としては紫外線照射等の簡単な方法で充分である。

上記実施例においては絶縁膜として $a-Si_{1-x}H_x$ が用いられている他の組成でもよいことはもちろんである。

以上詳細に説明したように、この発明によれば絶縁膜のエネルギー・ギャップを徐々に変化させているため絶縁膜の厚さの制御性が悪くても情報の書き込みは、多少の電圧調整で容易にできる。したがって膜厚制御困難性からくる歩留り低下を除くことができる。しかも絶縁膜によるエネルギー障壁は数eVであるので低電圧での情報書き込みが可能である。

4. 図面の簡単な説明

第1図はこの発明の実施例を示す断面図、第2図はこの発明の他の実施例を示す断面図、第3図はポテンシャル障壁を示す図である。

第4図および第5図は従来例を示すもので、第

ため、下部の $a-Si_{1-x}H_x$ 層1が接するn-Si基板6の表面はp形に反転する。このp形に反転した部分とp形領域5は導電型が同一なため、書き込み状態においては大面積の1つのp形領域ができる。これは電極3と4との間で電荷容量変化として検出される。つまり、情報の読出しは電荷容量変化の検出で行なうことが可能である。

電極2、3、4がすべてプレーナ型となっているが、電極4をn-Si基板6の裏面に配置してもよい。

第2図は、4端子メモリ素子の一例を示している。第1図に示すものと同一物には同一符号が付けられている。

書き込みは電極2と基板6裏面の電極8との間で行なわれるが、情報の読出し方が第1図に示す実施例の場合と異なる。第2図の実施例においては、書き込み状態では $a-Si_{1-x}H_x$ 1が接するn-Si基板6の表面がp形に反転し、電極3と4のp形領域5がつながって1つのp形領域となる。これは電極3と4間の電流と電圧変化として検出

4図はFAMOSメモリ素子の、第5図はMNOSメモリ素子の断面図である。

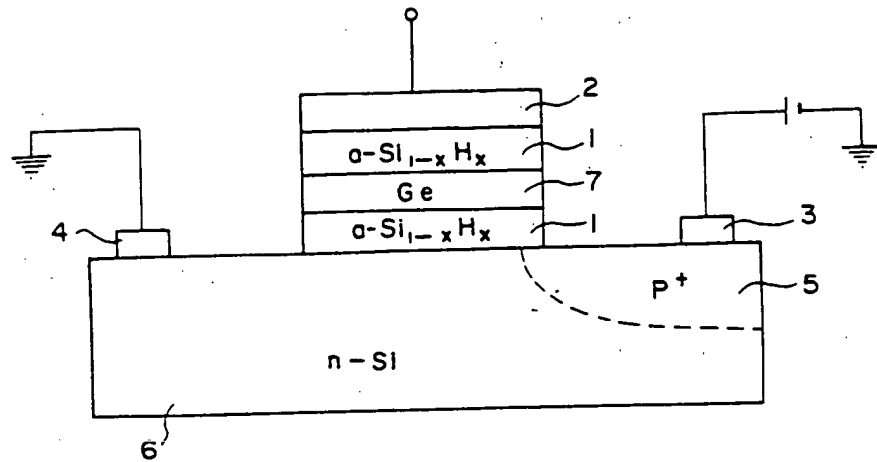
1…絶縁膜、2…ゲート電極、3、4、8…電極、5…p形領域、6…基板、7…半導体電荷蓄積層。

以上

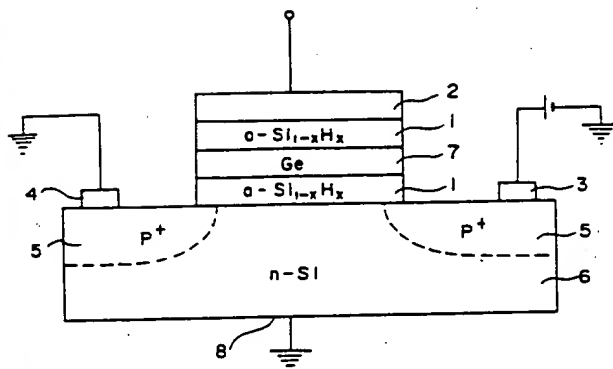
特許出願人 立石電機株式会社
代理人 弁理士 牛久 健司

(外1名)

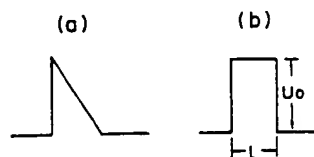
第 1 図



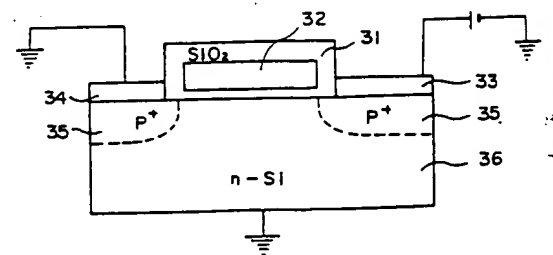
第 2 図



第 3 図



第 4 図



第 5 図

